

Docket No.: 60188-751

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Yoshiharu HIDAKA, et al.	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: January 12, 2004	:	Examiner: Unknown
For:	:	
SEMICONDUCTOR SUBSTRATE, METHOD FOR FABRICATING THE SAME, AND METHOD FOR FABRICATING SEMICONDUCTOR DEVICE		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-011017, filed January 20, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: January 12, 2004

60188-751
HIDAKA et al.
January 12, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 0 日
Date of Application:

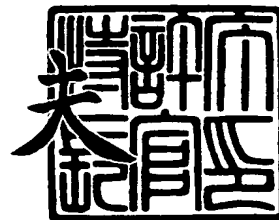
出 願 番 号 特 願 2 0 0 3 - 0 1 1 0 1 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 1 1 0 1 7]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 1 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 5 1 7 7

【書類名】 特許願

【整理番号】 2926440139

【提出日】 平成15年 1月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/304

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 日高 義晴

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 池ノ内 勝行

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【選任した代理人】

 【識別番号】 100110939

 【弁理士】

 【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体基板及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 端部にノッチを有する半導体基板において、

前記ノッチの両肩部の形状はそれぞれ円弧状であると共に前記両肩部のそれぞれの曲率の差は 0 mm 以上で且つ 0.1 mm 以下であることを特徴とする半導体基板。

【請求項 2】 前記両肩部のそれぞれの曲率は 0.3 mm 以上であることを特徴とする請求項 1 に記載の半導体基板。

【請求項 3】 前記ノッチの底部の形状は円弧状であり、

前記ノッチの両壁面は、それぞれ鏡面仕上げされていると共に互いに 89° 以上で且つ 95° 以下の角度をなすことを特徴とする請求項 1 又は 2 に記載の半導体基板。

【請求項 4】 請求項 1～3 のいずれか 1 項に記載の半導体基板を用いた半導体装置の製造方法であって、

前記半導体基板に設けられた凹部に絶縁膜又は導電膜を埋め込む工程と、

化学的機械的研磨により前記絶縁膜又は前記導電膜を平坦化する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1～3 のいずれか 1 項に記載の半導体基板を用いた半導体装置の製造方法であって、

前記半導体基板上に終点検出膜を形成する工程と、

マスクパターンを用いて前記終点検出膜及び前記半導体基板に対してエッチングを行なって分離溝を形成する工程と、

前記分離溝に絶縁膜を埋め込む工程と、

化学的機械的研磨により前記絶縁膜を平坦化する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 6】 前記絶縁膜を平坦化する工程において、

前記絶縁膜の研磨速度は、前記終点検出膜の研磨速度と比べて 2 倍以上大きいことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記絶縁膜を平坦化する工程よりも後に、
化学的機械的研磨により前記終点検出膜を研磨する工程を備えていることを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板、及びそれを用いた半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

最近の微細化技術の急速な進展は、半導体装置中における半導体素子数の飛躍的な増加、つまり高集積化をもたらしている。このため、半導体素子が形成される活性領域と半導体素子間の分離領域とは非常に小さくなっている。その結果、分離方法として、酸化法を用いた LOCOS 分離に代わって、基板に設けられた細い溝に酸化絶縁膜を埋め込む STI (Shallow Trench Isolation) が採用されるようになった。

【0003】

具体的な STI の形成方法は次の通りである。まず、基板に分離溝を形成した後に化学的気相成長法 (Chemical Vapor Deposition (CVD) 法) を用いて酸化絶縁膜を分離溝に埋め込む。その後、活性領域上に形成された酸化絶縁膜を化学的機械的研磨法 (Chemical Mechanical Polishing (CMP) 法) によって除去すると共に、分離溝に埋め込まれた酸化絶縁膜の表面を平坦化して分離領域上及び活性領域上の段差を無くす。

【0004】

CMP を行なう場合、例えば特許文献 1 に示すように、半導体ウェハ全体又はウェハ上における半導体装置 (チップ) の単位で平坦化が達成されたかどうかを知るために、溝を埋め込むための酸化絶縁膜の下側に終点検出膜を形成しておく。現在、終点検出膜としては、一般的に窒化膜 (SiN 膜) が用いられている。このとき、酸化絶縁膜の研磨速度が、窒化膜の研磨速度と比較して 2 倍以上速く

なるように、荷重（ウェハを研磨パッドに押し当てる荷重）及び回転数（研磨パッド及びウェハの回転数）等の研磨条件を設定している。例えば特許文献1に開示されたCMPにおいては、終点検出膜の研磨速度に対する酸化絶縁膜の研磨速度の比は3～5程度である。

【0005】

CMPの一般的な研磨シーケンスは次の通りである。すなわち、窒化膜（終点検出膜）が露出した時に、終点検出機により検出される光の反射率、又は研磨機の研磨定盤を回転させるモーターのトルクが変動するので、その時点を起点として、窒化膜の研磨速度を急激に落とすと共にオーバー研磨を実施し、それにより半導体ウェハ全体をより平坦化する。

【0006】

【特許文献1】

特開平9-36073号公報

【0007】

【発明が解決しようとする課題】

ところで、STIを形成するためにCMP（以下、STI-CMPと称する）を行なった場合に基板表面に生じる段差（STI段差）、つまり平坦化加工ばらつきは、ほぼ、基板表面に残存する窒化膜の膜厚（仕上がり膜厚）のばらつき（窒化膜表面の凹凸）で決まる。例えば半導体基板上にMOS型トランジスタを形成する場合、終点検出膜の窒化膜を予め除去しておく必要があるが、前述の窒化膜の仕上がり膜厚にばらつきが存在すると、窒化膜除去後の基板表面に段差が生じる。これは、電極加工等のためのリソグラフィーにおいて寸法ばらつきを生じる原因となる。

【0008】

従来のSTI-CMPによると、半導体ウェハにおけるウェハ端面から5mm程度までのウェハ周縁部を除く部分については、平坦化加工ばらつき、つまり窒化膜の仕上がり膜厚のばらつきを、30～50nm程度の目標値以下に抑制できている。しかしながら、前述のウェハ周縁部（特に、ウェハ端面から2～5mm程度の範囲のウェハ周縁部）においては、窒化膜の削れ量の均一性（目標削れ量

に対する誤差の比)を5%以下にできない結果、前述の目標値を実現できない。これは、半導体ウェハからのチップ取れ数を左右するウェハ有効領域を拡大できない原因の1つとなっている。

【0009】

また、微細化ルールが130nmから65nm以下へとさらに進むに従って、STI-CMP後のウェハ面内における窒化膜等の終点検出膜の仕上がり膜厚のばらつきを、20～30nm程度のさらに厳しい目標値以下に抑制する必要がある。しかし、現在用いられている半導体ウェハ、終点検出膜(窒化膜等)及び終点検出方法等を含めた従来のCMP技術の組み合わせによって、この目標値を実現することはできない。この場合、終点検出膜の仕上がり膜厚のばらつきは、最終的に分離領域上の段差及び半導体素子を形成するための活性領域上の段差となるので、例えばMOS型トランジスタのゲート電極を形成する際に寸法ばらつきや電極間の短絡等の問題が生じる。

【0010】

前記に鑑み、本発明は、CMP後の基板表面の段差を抑制することを目的とする。

【0011】

【課題を解決するための手段】

前記の目的を達成するために、本願発明者らが、従来のSTI-CMP後のウェハ周縁部において終点検出膜の仕上がり膜厚のばらつきを十分に抑制できない原因を検討したところ、次のような知見を得た。

【0012】

従来から、半導体装置の製造においてノッチ又はオリフラが設けられたウェハが利用されている。例えば半導体ウェハの結晶方位又はリソグラフィにおけるウェハの向きを明確にするため、ウェハ周縁部にはノッチ(V字溝)が形成されている。尚、ノッチ形状(深さ及び角度等)とウェハ端面の仕上げ形状とはSEMI(Semiconductor Equipment and Materials International)の規格によって定められている。SEMIの規格によると、ノッチの角度(V字を形成する両壁面のなす角度)は約90度であり、ノッチの深さは、ウェハ端面から1～2m

m程度である。

【0013】

本願発明者らは、半導体装置の微細化が進んでウェハ表面の平坦化にCMPが用いられるようになったことに起因して、ノッチやオリフラがCMP後におけるウェハ表面の平坦性を損なうようになってきていることを見出した。

【0014】

具体的には、CMPは、研磨定盤上に貼り付けられた研磨パッドに半導体ウェハを押し付けると同時に研磨パッドと半導体基板とをそれぞれ回転させることにより行なわれる。このとき、半導体基板は約 1 N/cm^2 以上の荷重により研磨パッドに押し付けられるため、研磨パッドを構成する発泡ウレタンのポアが潰れ、その結果、研磨剤が半導体ウェハ全体に行き渡らなくなって研磨速度が低下する。これを防止するため、ダイヤモンドを固定したドレスを研磨パッド上で均一に動かすことにより、研磨パッドを荒らして研磨速度を安定させる対策が講じられている。

【0015】

ところが、半導体ウェハに設けられたノッチの肩部は、研磨中に研磨パッドに対して垂直方向に当たる特異点となるため、研磨パッドを潰す作用ではなく、研磨パッドを荒らす作用を持つ。このため、例えばSTI-CMP中にノッチが通過した軌跡部分の研磨パッドの表面は荒れるので、該軌跡部分の研磨パッドによる研磨速度が意図せず上昇してしまう可能性が生じる。尚、現在、半導体ウェハの任意点が研磨中に研磨パッド上を通過する軌跡がランダムになるように半導体ウェハ又は研磨パッドの回転数の設定等を行なっている。しかし、半導体ウェハが研磨機のヘッドに完全に固定されているわけではないため、研磨パッド上における半導体ウェハの任意点の軌跡を計算通りに完全にランダムにすることは困難であって、該軌跡は一定の回転数の周期を持っている。

【0016】

そこで、本願発明者らは、前記の目的を達成するために、半導体ウェハの特異点であるノッチの形状を、研磨パッドの表面荒れを低減できる形状にすることを着想した。具体的には、本願発明者らは、複数の半導体ウェハについてSTI-

CMP後の窒化膜の仕上がり膜厚をウェハ全面に亘って測定すると共に該測定結果と各ウェハのノッチ形状との相関を求めることにより、ノッチがCMP後のウェハ表面の平坦性を損なっていることを見出した。また、特定のノッチ形状を有する半導体ウェハに対してCMPを行なった場合、半導体ウェハにおけるウェハ端面から2mm程度までの周縁部を除く部分について、窒化膜の削れ量の均一性を5%以下にできると共に、STI-CMP後の窒化膜における仕上がり膜厚のばらつきを30nm以下にできることを見出した。

【0017】

本発明は以上の知見に基づきなされたものであって、本発明に係る半導体基板は、端部にノッチを有する半導体基板であって、ノッチの両肩部の形状はそれぞれ円弧状であると共に該両肩部のそれぞれの曲率の差は0mm以上で且つ0.1mm以下である。

【0018】

本発明の半導体基板によると、ノッチの両肩部の曲率が均一であるので、半導体基板に対してCMPを行なった際に、ノッチに起因して研磨パッドの特定部分が荒れることを防止できる。このため、研磨パッドの全面に亘って研磨速度が均一になる結果、基板表面における被研磨膜の削れ量の均一性を向上させることができるので、CMP後の被研磨膜における仕上がり膜厚のばらつきを十分に抑制できる。従って、CMP後の基板表面に段差が生じることを抑制できるため、例えばゲート電極の形成時に寸法ばらつきや電極間の短絡等の問題が生じる事態を防止でき、それによって半導体装置の信頼性を向上させることができる。

【0019】

尚、本明細書において、ノッチの肩部とは、ノッチ壁面とウェハ端面との接続部分を意味し、ノッチ肩部（又はノッチ底部）の形状とは、基板主面つまりウェハ主面の上方からノッチ肩部（又はノッチ底部）を見たときの形状を意味し、ノッチ肩部の曲率とは、該形状の曲率を意味する。

【0020】

本発明の半導体基板において、ノッチ両肩部のそれぞれの曲率は0.3mm以上であることが好ましい。

【0021】

このようにすると、ノッチに起因する研磨パッドの荒れをより確実に防止できる。

【0022】

本発明の半導体基板において、ノッチの底部の形状は円弧状であり、ノッチの両壁面は、それぞれ鏡面仕上げされていると共に互いに 89° 以上で且つ 95° 以下の角度をなすことが好ましい。

【0023】

このようにすると、ノッチに起因する研磨パッドの荒れをより確実に防止できる。

【0024】

本発明に係る第1の半導体装置の製造方法は、本発明の半導体基板を用いた半導体装置の製造方法を前提とし、半導体基板に設けられた凹部に絶縁膜又は導電膜を埋め込む工程と、化学的機械的研磨により絶縁膜又は導電膜を平坦化する工程とを備えている。

【0025】

すなわち、第1の半導体装置の製造方法によると、本発明の半導体基板に設けられた凹部に被研磨膜を埋め込んだ後に被研磨膜に対してCMPを行なうため、被研磨膜の仕上がり膜厚のばらつきを十分に抑制できる。従って、CMP後の基板表面に段差が生じることを抑制できるため、該段差に起因してCMP後の工程で問題が生じる事態を防止でき、それによって半導体装置の信頼性を向上させることができる。

【0026】

本発明に係る第2の半導体装置の製造方法は、本発明の半導体基板を用いた半導体装置の製造方法を前提とし、半導体基板上に終点検出膜を形成する工程と、マスクパターンを用いて終点検出膜及び半導体基板に対してエッチングを行なって分離溝を形成する工程と、分離溝に絶縁膜を埋め込む工程と、化学的機械的研磨により絶縁膜を平坦化する工程とを備えている。

【0027】

すなわち、第2の半導体装置の製造方法によると、本発明の半導体基板に設けられた分離溝に絶縁膜を埋め込んだ後に絶縁膜に対してCMPを行なう。このとき、絶縁膜の下側に形成された終点検出膜の仕上がり膜厚のばらつきを十分に抑制できるので、CMP後の基板表面に段差が生じることを抑制できる。具体的には、半導体基板となる半導体ウェハにおける端面から2mm程度までの周縁部を除く部分について、STI-CMP後のウェハ表面に生じる段差、つまり平坦化加工ばらつきを30nm以下にすることができる。従って、基板表面の段差に起因してCMP後の工程で問題が生じる事態を防止できるので、半導体装置の信頼性を向上させることができる。また、半導体ウェハからのチップ取れ数を左右するウェハ有効領域を拡大できる。すなわち、半導体ウェハからのチップ取れ数を増大させることができるので、半導体装置製造のコストを低減できる。

【0028】

第2の半導体装置の製造方法における絶縁膜を平坦化する工程において、絶縁膜の研磨速度は、終点検出膜の研磨速度と比べて2倍以上大きいことが好ましい。

【0029】

このようにすると、半導体ウェハ全体又はウェハ上における半導体装置（チップ）の単位で平坦化が達成されたかどうかを確実に知ることができる。また、チップ内における分離溝の存在密度に依存してCMP後の終点検出膜の仕上がり膜厚に差が生じたり又はウェハ面内におけるCMP後の終点検出膜の仕上がり膜厚に差が生じたりすることを防止できる。

【0030】

第2の半導体装置の製造方法において、絶縁膜を平坦化する工程よりも後に、化学的機械的研磨により終点検出膜を研磨する工程を備えていることが好ましい。

【0031】

このようにすると、終点検出膜を研磨により除去した後に、例えばリソグラフィーによりゲート電極パターン等を寸法ばらつきなく形成することができる。

【0032】

【発明の実施の形態】

(実施形態で用いる研磨装置)

図1は、後述する本発明の各実施形態において被研磨膜の仕上がり膜厚の評価又はSTI形成等に用いる研磨装置(CMP装置)の模式図である。より詳しくは、図1は、研磨パッドが貼り付けられた研磨定盤と半導体基板(半導体ウェハ)とをそれぞれ回転させながらCMPを行なっている様子を示している。

【0033】

図1に示す装置においては、同一の研磨定盤上で2枚の半導体基板を同時に研磨するため、研磨パッド11を等分する各領域に一对の半導体基板12A及び12Bを設置して研磨が実施される。半導体基板12A及び12Bにはそれぞれノッチ13A及び13Bが設けられている。CMP研磨は、図1に示すように、半導体基板12A及び12Bを研磨パッド11に押し付けると同時に研磨パッド11並びに半導体基板12A及び12Bを回転させることにより行なう。このとき、半導体基板12A及び12Bは約 1 N/cm^2 以上の荷重により研磨パッド11に押し付けられるため、研磨パッド11を構成する発泡ウレタンのポアが潰れ、その結果、研磨剤が各基板全体に行き渡らなくなって研磨速度が低下する。これを防止するため、ダイヤモンドを固定したドレス(図示省略)を研磨パッド11上で均一に動かすことにより、研磨パッド11を荒らして研磨速度を安定させる対策が講じられている。

【0034】

ところで、研磨パッド11つまり研磨定盤の回転方向14は一般的に時計回り(CW)方向である。この場合、半導体基板12A及び12Bのそれぞれの回転方向15A及び15Bが反時計回り(CCW)方向であると、各基板における研磨の均一性が向上する。また、この場合、例えば半導体基板12Aのノッチ13Aの回転を見ると、研磨時におけるノッチ13Aの肩部の研磨パッド11に対する突っ込み方向16は約90度となっているので、ノッチ13Aによって研磨パッド11の表面が切削される事態が予測される。

【0035】

すなわち、ノッチ肩部は、研磨中に研磨パッド11に対して垂直方向に当たる

特異点となるため、研磨パッド 11 を潰す作用ではなく、研磨パッド 11 を荒らす作用を持つ。このため、例えば STI-CMP 中にノッチ 13A 又はノッチ 13B が通過した軌跡部分の研磨パッド 11 の表面は荒れるので、該軌跡部分の研磨パッド 11 による研磨速度が意図せず上昇してしまう可能性が生じる。それに対して、半導体基板 12A 又は半導体基板 12B の任意点が研磨中に研磨パッド 11 上を通過する軌跡がランダムになるように、例えば各基板又は研磨パッド 11 の回転数を設定することができる。しかし、各基板は CMP 装置のヘッド（図示省略）に完全に固定されているわけではないのでないため、研磨パッド 11 上における各基板の任意点の軌跡を計算通りに完全にランダムにすることは困難であって、該軌跡は一定の回転数の周期を持っている。

【0036】

後述する本発明の各実施形態は、以上のような状況下で、CMP 後のウェハ表面における段差の抑制を実現できるものである。

【0037】

（第 1 の実施形態）

以下、本発明の第 1 の実施形態に係る半導体基板について図面を参照しながら説明する。

【0038】

第 1 の実施形態に係る半導体基板の特徴は、端部に形成されたノッチの両肩部の形状がそれぞれ円弧状であると共に該両肩部のそれぞれの曲率の差が 0 mm 以上で且つ 0.1 mm 以下であることである。言い換えると、第 1 の実施形態に係る半導体基板（半導体ウェハ）においては、ノッチの両肩部の形状がそろっている。これにより、例えば STI-CMP 後の半導体ウェハ表面に段差が生じること、具体的には、STI-CMP 後のウェハ周縁部において被研磨膜の仕上がり膜厚が薄くなることを防止できる。

【0039】

図 2 は、第 1 の実施形態に係る半導体基板におけるノッチ形状の一例を示している。3 次元測定の結果、図 2 に示すノッチにおける円弧状の両肩部の曲率はそれぞれ $R1 = 0.116 \text{ mm}$ 及び $R2 = 0.124 \text{ mm}$ と小さかった。ここで、

$|R1 - R2| < 0.1 \text{ mm}$ であって、ノッチの両肩部の曲率の差は小さい。尚、図2において、 V_r はノッチの深さ、 θ_v はノッチの両壁面（ノッチ底部を除く）がなす角度を示している。

【0040】

図3は、図1に示す研磨装置を用いて、図2に示すノッチ形状を持つ半導体ウェハに対してバッチ処理3回（合計6枚の半導体ウェハ）のSTI-CMPを行なった場合における、被研磨膜（SiN膜）の仕上がり膜厚の測定結果を示している。図3において、横軸はウェハ中心からの距離（100mmがウェハ端面）を示し、縦軸はSiN膜の厚さを示している。

【0041】

図3に示すように、ウェハ端面から5mm程度までのウェハ周縁部において、SiN膜の膜厚が急激に薄くなるという従来の問題点（後述する第1又は第2の比較例参照）は見られない。逆に、該ウェハ周縁部において、SiN膜の膜厚が若干厚くなっている。ここで、該ウェハ周縁部におけるSiN膜の膜厚と、該ウェハ周縁部を除くウェハ部分におけるSiN膜の平均膜厚との差は約10nmである。また、該ウェハ周縁部のうち、ウェハ端面から2～3mm程度の範囲でも、SiN膜の膜厚ばらつきは、30nmという目標値よりも小さい20nm程度以下に抑制されている。

【0042】

ところで、前述のように、図3に示す結果は、図1に示す研磨装置、つまり同一研磨定盤上で2枚の半導体ウェハに対して同時に研磨を実施できる装置を用いて得られたものである。ここで、各バッチ処理における半導体ウェハ間（新しいスラリーの供給タイミングが異なる）についても、各バッチ処理間（半導体ウェハの処理順が異なる）についても、SiN膜の膜厚ばらつきの傾向に大きな違いはなく、いずれの場合も該ばらつきを目標値以下に抑制できている。すなわち、SiN膜の膜厚ばらつきに対して半導体ウェハのノッチ形状が大きい影響を持っていることが確認できる。

【0043】

以上に説明したように、第1の実施形態によると、半導体ウェハのノッチの両

肩部の形状をそれぞれ円弧状にすると共に該両肩部のそれぞれの曲率の差を 0.1 mm以下にすることは、STI-CMP後のSiN膜の仕上がり膜厚を制御するために有効であることがわかる。具体的には、半導体ウェハのノッチの両肩部の曲率が均一であるので、該ウェハに対してCMPを行なった際に、ノッチに起因して研磨パッド（本実施形態では図1の研磨パッド11）の特定部分が荒れることを防止できる。このため、研磨パッドの全面に亘って研磨速度が均一になる結果、ウェハ表面における被研磨膜の削れ量の均一性を向上させることができるので、CMP後の被研磨膜における仕上がり膜厚のばらつきを十分に抑制できる。従って、CMP後のウェハ表面に段差が生じることを抑制できるため、例えばゲート電極の形成時に寸法ばらつきや電極間の短絡等の問題が生じる事態を防止でき、それによって半導体装置の信頼性を向上させることができる。

【0044】

また、第1の実施形態によると、半導体ウェハからのチップ取れ数を左右するウェハ有効領域を拡大できるため、半導体ウェハからのチップ取れ数を増大させることができるので、半導体装置製造のコストを低減できる。

【0045】

尚、第1の実施形態において、直径200 mmの半導体ウェハを対象としたが、これに限られず、他のサイズの半導体ウェハを対象としても同様の効果が得られる。

【0046】

また、第1の実施形態において、STI-CMPを前提としたが、これに限られず、層間膜又は金属膜等を被研磨膜とするCMP処理においても同様の効果が得られる。

【0047】

また、第1の実施形態において、図1に示す研磨装置を用いたが、これに代えて、他の種類の研磨装置を用いた場合にも同様の効果が得られる。

【0048】

また、第1の実施形態において、半導体ウェハのノッチ形状は、前述の本実施形態の特徴部分を除いては、SEMI規格に従うものである。具体的には、ノッ

チの深さは1.0mm以上で且つ1.25mm以下であり。ノッチの角度（ノッチの両壁面がなす角度）は 89° 以上で且つ 95° 以下である。このとき、ノッチの底部が所定の曲率の円弧形状を有すると共にノッチ壁面が公知の方法により鏡面仕上げされていると、ノッチに起因する研磨パッドの荒れをより確実に防止できる。

【0049】

（第2の実施形態）

以下、本発明の第2の実施形態に係る半導体基板について図面を参照しながら説明する。

【0050】

第2の実施形態に係る半導体基板の第1の特徴は、第1の実施形態と同様に、端部に形成されたノッチの両肩部の形状がそれぞれ円弧状であると共に該両肩部のそれぞれの曲率の差が0mm以上で且つ0.1mm以下であることである。また、第2の特徴は、ノッチの両肩部の曲率がそれぞれ0.3mm以上であることである。言い換えると、第2の実施形態に係る半導体基板（半導体ウェハ）においては、ノッチの両肩部の形状がそろっていると共に、ノッチの両肩部の曲率が第1の実施形態と比べて大きい。これにより、研磨時におけるノッチ肩部の研磨パッドに対する当たりを緩和できるので、例えばSTI-CMP後の半導体ウェハ表面に段差が生じること、具体的には、STI-CMP後のウェハ周縁部において被研磨膜の仕上がり膜厚が薄くなることをより確実に防止できる。

【0051】

図4は、第2の実施形態に係る半導体基板におけるノッチ形状の一例を示している。3次元測定の結果、図4に示すノッチにおける円弧状の両肩部の曲率はそれぞれ $R1=0.788\text{mm}$ 及び $R2=0.794\text{mm}$ と小さかった。ここで、 $|R1-R2|<0.1\text{mm}$ であると共に、 $R1>0.3\text{mm}$ 、 $R2>0.3\text{mm}$ である。尚、図4において、 V_r はノッチの深さ、 θ_v はノッチの両壁面（ノッチ底部を除く）がなす角度を示している。

【0052】

図5は、図1に示す研磨装置を用いて、図4に示すノッチ形状を持つ半導体ウ

ェハに対してバッチ処理3回（合計6枚の半導体ウェハ）のSTI-CMPを行なった場合における、被研磨膜（SiN膜）の仕上がり膜厚の測定結果を示している。図5において、横軸はウェハ中心からの距離（100mmがウェハ端面）を示し、縦軸はSiN膜の厚さを示している。

【0053】

図5に示すように、ウェハ端面から5mm程度までのウェハ周縁部において、SiN膜の膜厚が急激に薄くなるという従来の問題点（後述する第1又は第2の比較例参照）は見られず、ウェハ端面から3mm程度の測定点でSiN膜の膜厚が若干厚くなっている他は、ウェハ全面に亘ってSiN膜の膜厚がほぼ均一になっている。ここで、前述のウェハ周縁部におけるSiN膜の膜厚と、該ウェハ周縁部を除くウェハ部分におけるSiN膜の平均膜厚との差は10nm以下であって、該差が、第1の実施形態と比べて2～3nm程度縮小（改善）されている。また、該ウェハ周縁部のうち、ウェハ端面から2～3mm程度の範囲で、SiN膜の膜厚ばらつきが、第1の実施形態よりも小さい15nm程度以下に抑制されている。

【0054】

ところで、前述のように、図5に示す結果は、図1に示す研磨装置、つまり同一研磨定盤上で2枚の半導体ウェハに対して同時に研磨を実施できる装置を用いて得られたものである。ここで、各バッチ処理における半導体ウェハ間（新しいスラリーの供給タイミングが異なる）についても、各バッチ処理間（半導体ウェハの処理順が異なる）についても、SiN膜の膜厚ばらつきの傾向に大きな違いはなく、いずれの場合も該ばらつきを目標値（30nm）以下に抑制できている。すなわち、SiN膜の膜厚ばらつきに対して半導体ウェハのノッチ形状が大きい影響を持っていることが確認できる。

【0055】

以上に説明したように、第2の実施形態によると、第1の実施形態と同様に、半導体ウェハのノッチにおける両肩部の曲率の差を0.1mm以下にすることに加えて、両肩部の曲率をそれぞれ0.3mm以上にすることは、STI-CMP後のSiN膜の仕上がり膜厚を制御するために、特に、ウェハ端面から2～5m

m程度の範囲のウェハ周縁部で該仕上がり膜厚のばらつきを30nm以下に抑制するために有効であることがわかる。具体的には、半導体ウェハのノッチの両肩部の曲率が均一であって該両肩部の曲率がそれぞれ0.3mm以上であるので、該ウェハに対してCMPを行なった際に、ノッチに起因して研磨パッド（本実施形態では図1の研磨パッド11）の特定部分が荒れることをより確実に防止できる。このため、研磨パッドの全面に亘って研磨速度が均一になる結果、ウェハ表面における被研磨膜の削れ量の均一性を向上させることができるので、CMP後の被研磨膜における仕上がり膜厚のばらつきを十分に抑制できる。従って、CMP後のウェハ表面に段差が生じることを抑制できるため、例えばゲート電極の形成時に寸法ばらつきや電極間の短絡等の問題が生じる事態を防止でき、それによって半導体装置の信頼性を向上させることができる。

【0056】

尚、第2の実施形態において、直径200mmの半導体ウェハを対象としたが、これに限られず、他のサイズの半導体ウェハを対象としても同様の効果が得られる。

【0057】

また、第2の実施形態において、STI-CMPを前提としたが、これに限られず、層間膜又は金属膜等を被研磨膜とするCMP処理においても同様の効果が得られる。

【0058】

また、第2の実施形態において、図1に示す研磨装置を用いたが、これに代えて、他の種類の研磨装置を用いた場合にも同様の効果が得られる。

【0059】

また、第2の実施形態において、半導体ウェハのノッチ形状は、前述の本実施形態の特徴部分を除いては、SEMI規格に従うものである。具体的には、ノッチの深さは1.0mm以上で且つ1.25mm以下であり。ノッチの角度（ノッチの両壁面がなす角度）は89°以上で且つ95°以下である。このとき、ノッチの底部が所定の曲率の円弧形状を有すると共にノッチ壁面が公知の方法により鏡面仕上げされていると、ノッチに起因する研磨パッドの荒れをより確実に防止

できる。また、SEMI規格を考慮すると、半導体ウェハのノッチにおける両肩部の曲率はそれぞれ最大で2.0mm程度である。

【0060】

(第1の比較例)

図6は、第1の比較例に係る半導体基板におけるノッチ形状の一例を示している。3次元測定の結果、図6に示すノッチにおける円弧状の両肩部の曲率はそれぞれ $R1 = 0.610\text{ mm}$ 及び $R2 = 0.424\text{ mm}$ であって、 $|R1 - R2| > 0.1\text{ mm}$ である。尚、図6において、 V_r はノッチの深さ、 θ_v はノッチの両壁面（ノッチ底部を除く）がなす角度を示している。

【0061】

通常、例えばノッチ壁面を鏡面仕上げする場合における研磨機の研磨布の劣化等によってノッチ肩部の仕上がり角度が変化するため、ノッチの両肩部の曲率の間には0.1mmを越える差が生じてしまう。言い換えると、ノッチ両肩部の円弧形状は互いに非対称となる。

【0062】

図7は、図1に示す研磨装置を用いて、図6に示すノッチ形状を持つ半導体ウェハに対してバッチ処理3回及び1枚処理1回（合計7枚の半導体ウェハ）のSTI-CMPを行なった場合における、被研磨膜（SiN膜）の仕上がり膜厚の測定結果を示している。図7において、横軸はウェハ中心からの距離（100mmがウェハ端面）を示し、縦軸はSiN膜の厚さを示している。

【0063】

図7に示すように、ウェハ端面から5mm程度までのウェハ周縁部において、SiN膜の膜厚が急激に薄くなるという問題点が見られる。具体的には、該ウェハ周縁部におけるSiN膜の膜厚は、該ウェハ周縁部を除くウェハ部分におけるSiN膜の平均膜厚と比べて20nm程度以上薄くなっている。また、該ウェハ周縁部のうち、ウェハ端面から2～3mm程度の範囲ではSiN膜の膜厚ばらつきは45nm程度にも達しており、30nmという目標値を実現できていない。

【0064】

ところで、前述のように、図7に示す結果は、図1に示す研磨装置、つまり同

一研磨定盤上で2枚の半導体ウェハに対して同時に研磨を実施できる装置を用いて得られたものである。ここで、各バッチ処理における半導体ウェハ間（新しいスラリーの供給タイミングが異なる）についても、各バッチ処理間（半導体ウェハの処理順が異なる）についても、また、バッチ処理と1枚処理との間についても、SiN膜の膜厚ばらつきの傾向に大きな違いはなく、いずれの場合も該ばらつきを目標値以下に抑制できていない。すなわち、SiN膜の膜厚ばらつきに対して半導体ウェハのノッチ形状が大きい影響を持っていることが確認できる。

【0065】

（第2の比較例）

図8は、第2の比較例に係る半導体基板におけるノッチ形状の一例を示している。3次元測定の結果、図8に示すノッチにおける円弧状の両肩部の曲率はそれぞれ $R1 = 0.322\text{ mm}$ 及び $R2 = 0.507\text{ mm}$ であって、 $|R1 - R2| > 0.1\text{ mm}$ である。尚、図8において、 V_r はノッチの深さ、 θ_v はノッチの両壁面（ノッチ底部を除く）がなす角度を示している。

【0066】

通常、例えばノッチ壁面を鏡面仕上げする場合における研磨機の研磨布の劣化等によってノッチ肩部の仕上がり角度が変化するため、ノッチの両肩部の曲率の間には 0.1 mm を越える差が生じてしまう。言い換えると、ノッチ両肩部の円弧形状は互いに非対称となる。

【0067】

図9は、図1に示す研磨装置を用いて、図8に示すノッチ形状を持つ半導体ウェハに対してバッチ処理3回（合計6枚の半導体ウェハ）のSTI-CMPを行なった場合における、被研磨膜（SiN膜）の仕上がり膜厚の測定結果を示している。図9において、横軸はウェハ中心からの距離（ 100 mm がウェハ端面）を示し、縦軸はSiN膜の厚さを示している。

【0068】

図9に示すように、ウェハ端面から 5 mm 程度までのウェハ周縁部において、SiN膜の膜厚が急激に薄くなるという問題点が見られる。具体的には、該ウェハ周縁部におけるSiN膜の膜厚は、該ウェハ周縁部を除くウェハ部分における

S i N膜の平均膜厚と比べて20 nm程度以上薄くなっている。また、該ウェハ周縁部のうち、ウェハ端面から2～3 mm程度の範囲ではS i N膜の膜厚ばらつきは45 nm程度にも達しており、30 nmという目標値を実現できていない。

【0069】

ところで、前述のように、図9に示す結果は、図1に示す研磨装置、つまり同一研磨定盤上で2枚の半導体ウェハに対して同時に研磨を実施できる装置を用いて得られたものである。ここで、各バッチ処理における半導体ウェハ間（新しいスラリーの供給タイミングが異なる）についても、各バッチ処理間（半導体ウェハの処理順が異なる）についても、S i N膜の膜厚ばらつきの傾向に大きな違いはなく、いずれの場合も該ばらつきを目標値以下に抑制できていない。すなわち、S i N膜の膜厚ばらつきに対して半導体ウェハのノッチ形状が大きい影響を持っていることが確認できる。

【0070】

（第3の実施形態）

以下、本発明の第3の実施形態に係る半導体装置の製造方法、具体的には、第1又は第2の実施形態に係る半導体基板（ノッチ肩部の形状に特徴を有する半導体基板）を用いた半導体装置の製造方法について図面を参照しながら説明する。

【0071】

図10（a）～（c）は、第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【0072】

まず、図10（a）に示すように、半導体基板101上に、保護酸化膜（S i O₂ 膜）102、及びS T I－CMPのための終点検出膜となる窒化膜（S i N 膜）103を順次形成する。半導体基板101の端部には、両肩部の曲率の差が0 mm以上で且つ0.1 mm以下であるノッチが設けられている。ここで、ノッチの両肩部の曲率はそれぞれ0.3 mm以上であることが好ましい。また、保護酸化膜102は、半導体基板101と窒化膜103との間で緩衝膜として機能する。

【0073】

続いて、リソグラフィーにより、素子分離領域に開口部を持つレジストパターン（図示省略）を形成し、該レジストパターンをマスクとして、窒化膜 103、保護酸化膜 102 及び半導体基板 101 に対して順次ドライエッチを行なうことにより、素子分離用のトレンチ 104 を形成する。

【0074】

次に、図 10（b）に示すように、CVD 法により、半導体基板 101 の上に全面に亘って埋め込み酸化膜 105 を堆積し、それによりトレンチ 104 をボイドなく埋め込む。

【0075】

次に、図 10（c）に示すように、CMP 法により、半導体素子が形成される活性領域上に堆積された埋め込み酸化膜 105、つまりトレンチ 104 の外側の埋め込み酸化膜 105 を研磨により除去する。これにより、トレンチ 104 に、埋め込み酸化膜 105 からなる素子分離（STI）106 が形成される。

【0076】

このとき、窒化膜 103 が露出した時に、終点検出機により検出される光の反射率、又は研磨機の研磨定盤の回転トルクが変動するので、該変動が生じた時点をも、埋め込み酸化膜 105 に対する研磨の終点として検出する。また、図 10（c）に示す CMP 工程における最終の段差調整は、埋め込み酸化膜 105 の研磨速度が窒化膜 103 の研磨速度と比べて 2 倍以上大きい研磨条件を用いて行なう。このようにすると、素子分離 106 を構成する埋め込み酸化膜 105 の表面と、その他の基板表面との間で段差が生じることを抑制できる。尚、この最終の段差調整は、CMP 装置のヘッド（基板を保持すると共に回転させる部分）の回転速度若しくは荷重条件、研磨パッドが張られた研磨定盤の回転速度、又はスラリー材料等を調節することにより実施される。

【0077】

第 3 の実施形態によると、第 1 又は第 2 の実施形態に係る半導体基板、つまり、両肩部の曲率の差が 0 mm 以上で且つ 0.1 mm 以下であるノッチが設けられた半導体基板 101 にトレンチ 104 を形成し、その後、トレンチ 104 に埋め込み酸化膜 105 を埋め込んだ後に該酸化膜 105 に対して CMP を行なう。こ

のとき、埋め込み酸化膜 105 の下側に形成された窒化膜 103（つまり終点検出膜）の仕上がり膜厚のばらつきを十分に抑制できるので、CMP 後の基板表面に段差が生じることを抑制できる。具体的には、半導体基板 101 となる半導体ウェハにおける端面から 2 ～ 5 mm 程度の範囲についても、STI-CMP 後のウェハ表面に生じる段差、つまり平坦化加工ばらつきを 30 nm 以下にすることができる。従って、基板表面の段差に起因して CMP 後の工程で問題が生じる事態を防止できるので、半導体装置の信頼性を向上させることができる。また、半導体ウェハからのチップ取れ数を左右するウェハ有効領域を拡大できる。すなわち、半導体ウェハからのチップ取れ数を増大させることができるので、半導体装置製造のコストを低減できる。

【0078】

また、第 3 の実施形態によると、埋め込み酸化膜 105 を平坦化する工程において、埋め込み酸化膜 105 の研磨速度が窒化膜（終点検出膜）103 の研磨速度と比べて 2 倍以上大きい研磨条件を用いる。このため、半導体基板 101 となる半導体ウェハの全体又はウェハ上における半導体装置（チップ）の単位で平坦化が達成されたかどうかを確実に知ることができる。また、チップ内におけるトレンチ 104 の存在密度に依存して CMP 後の窒化膜 103（終点検出膜）の仕上がり膜厚に差が生じたり又はウェハ面内における CMP 後の窒化膜 103 の仕上がり膜厚に差が生じたりすることを防止できる。

【0079】

尚、第 3 の実施形態において、半導体基板 101 となる半導体ウェハのサイズは特に限定されるものではない。

【0080】

また、第 3 の実施形態において、STI-CMP を前提としたが、これに限られず、層間膜又は金属膜等を被研磨膜とする CMP 処理においても同様の効果が得られる。

【0081】

また、第 3 の実施形態において、STI-CMP に用いる研磨装置は特に限定されるものではない。

【0082】

また、第3の実施形態において、半導体基板101となる半導体ウェハのノッチ形状は、第1又は第2の実施形態に係る半導体基板の特徴部分を除いては、SEMI規格に従うものである。具体的には、ノッチの深さは1.0mm以上で且つ1.25mm以下であり。ノッチの角度（ノッチの両壁面がなす角度）は89°以上で且つ95°以下である。このとき、ノッチの底部が所定の曲率の円弧形状を有すると共にノッチ壁面が公知の方法により鏡面仕上げされていると、ノッチに起因する研磨パッドの荒れをより確実に防止できる。また、SEMI規格を考慮すると、半導体ウェハのノッチにおける両肩部の曲率はそれぞれ最大で2.0mm程度である。

【0083】

また、第3の実施形態において、埋め込み酸化膜105を平坦化する工程よりも後に、化学的機械的研磨により窒化膜103つまり終点検出膜を研磨する工程を備えていることが好ましい。このようにすると、窒化膜103を研磨により除去した後に、例えばリソグラフィーによりゲート電極パターン等を寸法ばらつきなく形成することができる。

【0084】**【発明の効果】**

本発明によると、半導体基板のノッチの両肩部の曲率を均一にすることによって、半導体基板に対してCMPを行なった際にノッチに起因して研磨パッドの特定部分が荒れることを防止できる。このため、研磨パッドの全面に亘って研磨速度が均一になる結果、基板表面における被研磨膜の削れ量の均一性を向上させることができるので、CMP後の被研磨膜における仕上がり膜厚のばらつきを十分に抑制できる。従って、CMP後の基板表面に段差が生じることを抑制できるため、該段差に起因してCMP後の工程で問題が生じる事態を防止できるので、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】**【図1】**

本発明の各実施形態において被研磨膜の仕上がり膜厚の評価又はSTI形成等

に用いる研磨装置（CMP装置）の模式図である。

【図2】

本発明の第1の実施形態に係る半導体基板におけるノッチ形状の一例を示す図である。

【図3】

本発明の第1の実施形態に係る半導体基板に対してSTI-CMPを行なった場合におけるSiN膜の仕上がり膜厚の測定結果を示す図である。

【図4】

本発明の第2の実施形態に係る半導体基板におけるノッチ形状の一例を示す図である。

【図5】

本発明の第2の実施形態に係る半導体基板に対してSTI-CMPを行なった場合におけるSiN膜の仕上がり膜厚の測定結果を示す図である。

【図6】

第1の比較例に係る半導体基板におけるノッチ形状の一例を示す図である。

【図7】

第1の比較例に係る半導体基板に対してSTI-CMPを行なった場合におけるSiN膜の仕上がり膜厚の測定結果を示す図である。

【図8】

第2の比較例に係る半導体基板におけるノッチ形状の一例を示す図である。

【図9】

第2の比較例に係る半導体基板に対してSTI-CMPを行なった場合におけるSiN膜の仕上がり膜厚の測定結果を示す図である。

【図10】

(a)～(c)は本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

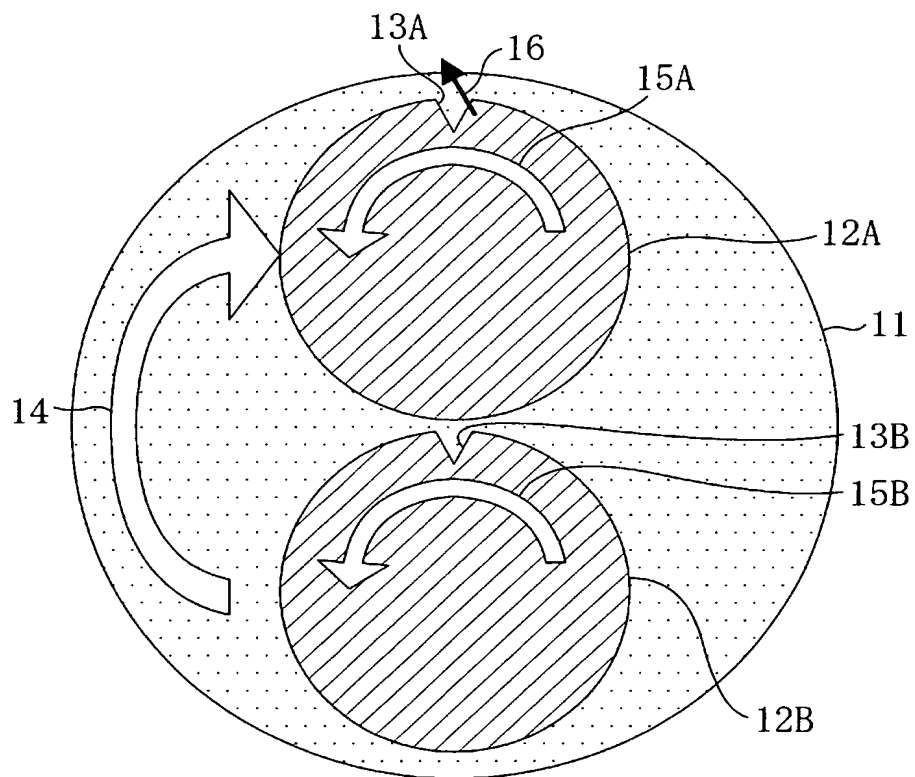
11 研磨パッド

12A 一の半導体基板

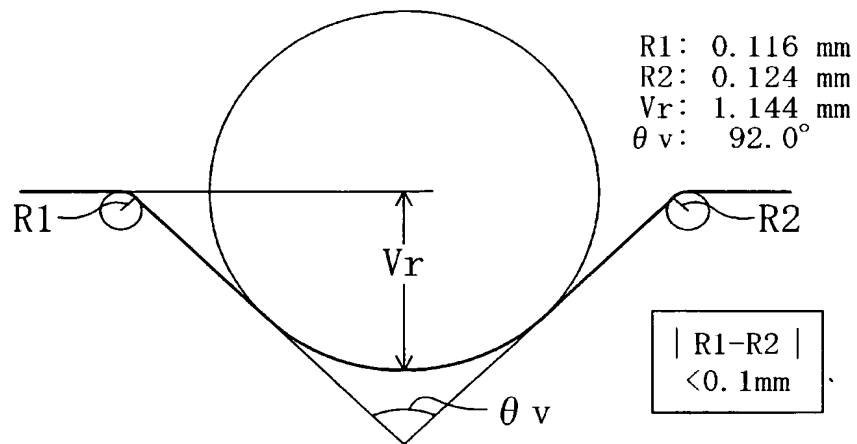
- 1 2 B 他の半導体基板
- 1 3 A 一の半導体基板のノッチ
- 1 3 B 他の半導体基板のノッチ
- 1 4 研磨定盤（研磨パッド）の回転方向
- 1 5 A 一の半導体基板の回転方向
- 1 5 B 他の半導体基板の回転方向
- 1 6 一の半導体基板のノッチ肩部の研磨パッドに対する突っ込み方向
- 1 0 1 半導体基板
- 1 0 2 保護酸化膜
- 1 0 3 窒化膜
- 1 0 4 トレンチ
- 1 0 5 埋め込み酸化膜
- 1 0 6 素子分離
- R 1 半導体基板のノッチにおける一の肩部の曲率
- R 2 半導体基板のノッチにおける他の肩部の曲率
- V r 半導体基板のノッチの深さ
- θ v 半導体基板のノッチの両壁面がなす角度

【書類名】 図面

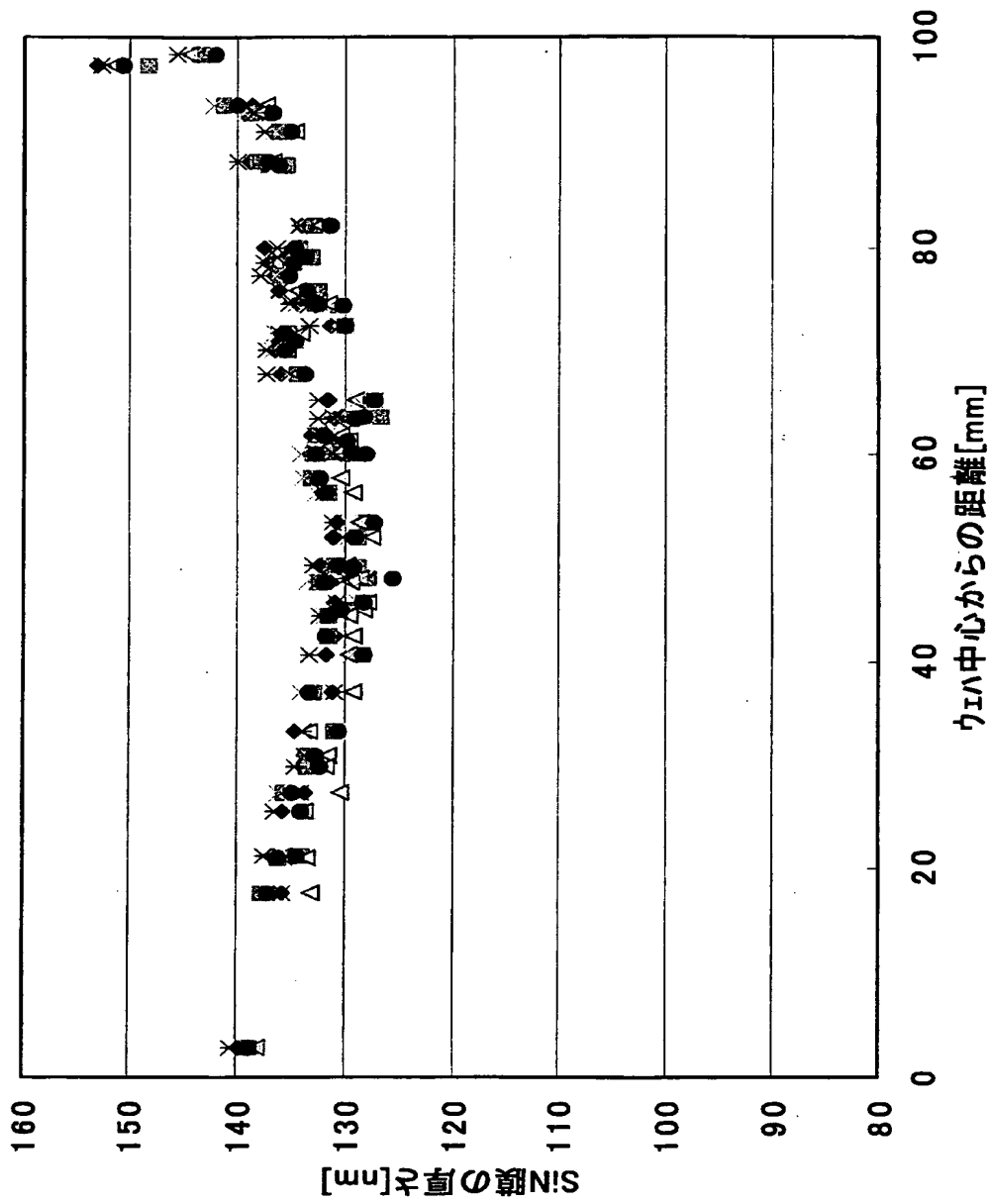
【図 1】



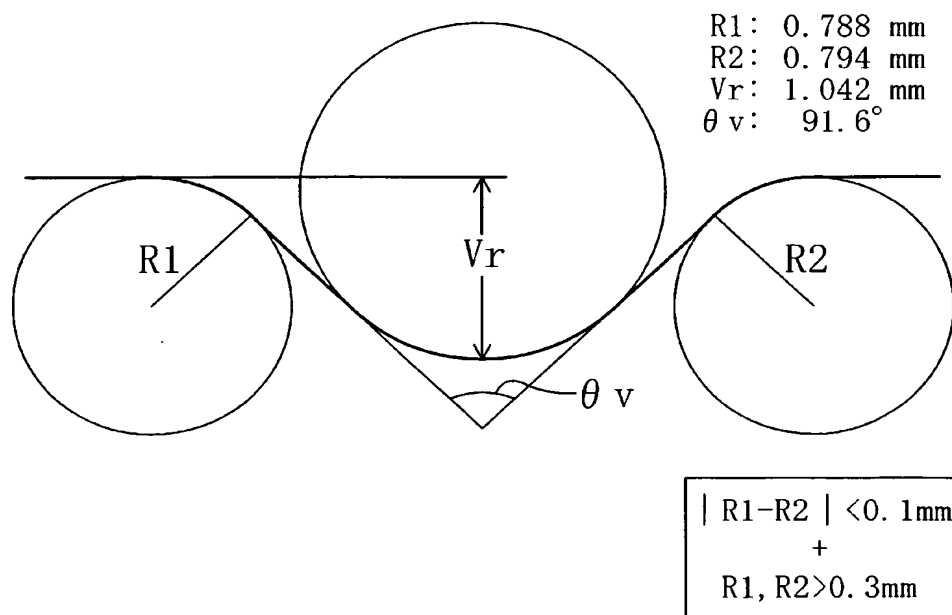
【図 2】



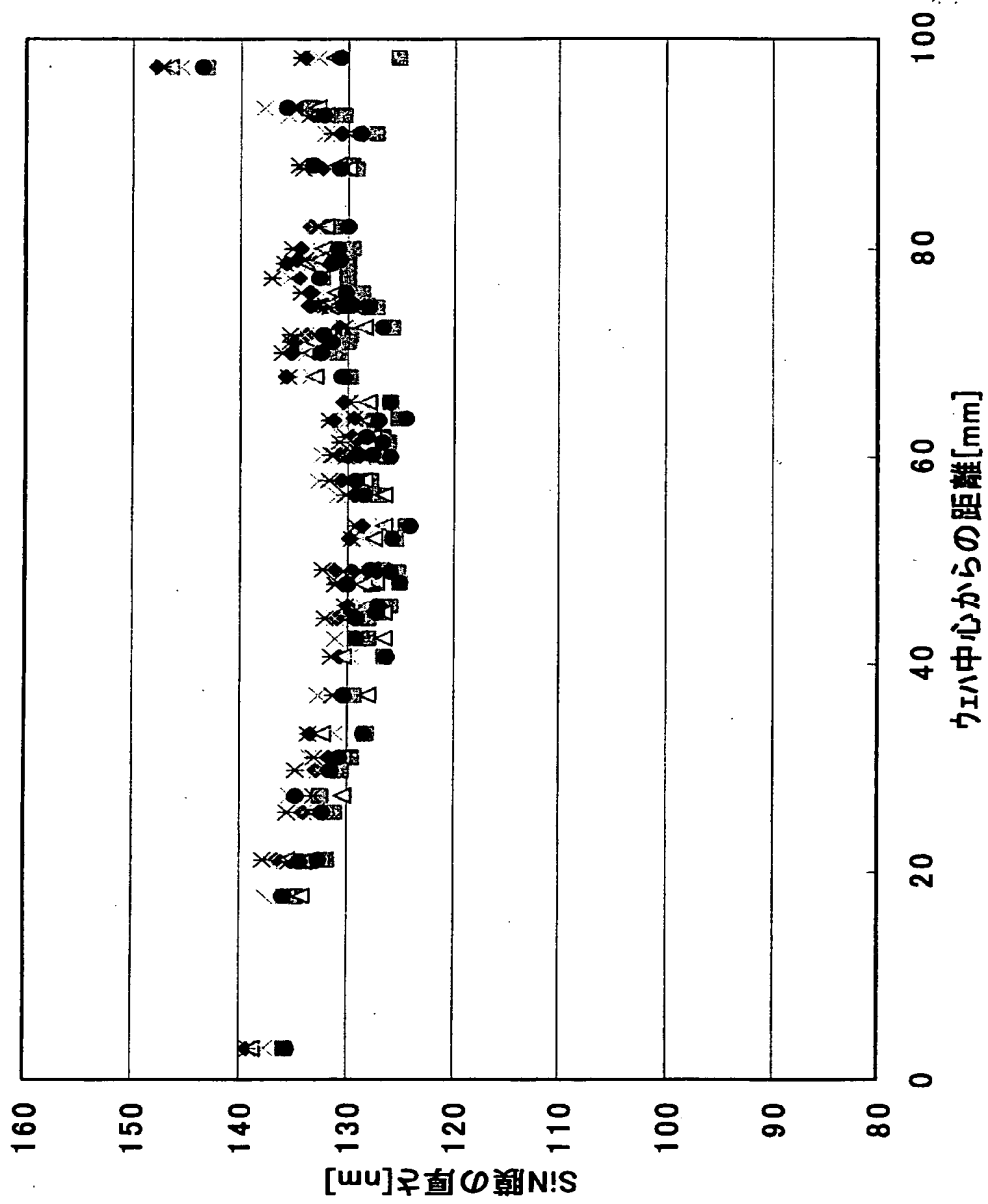
【図 3】



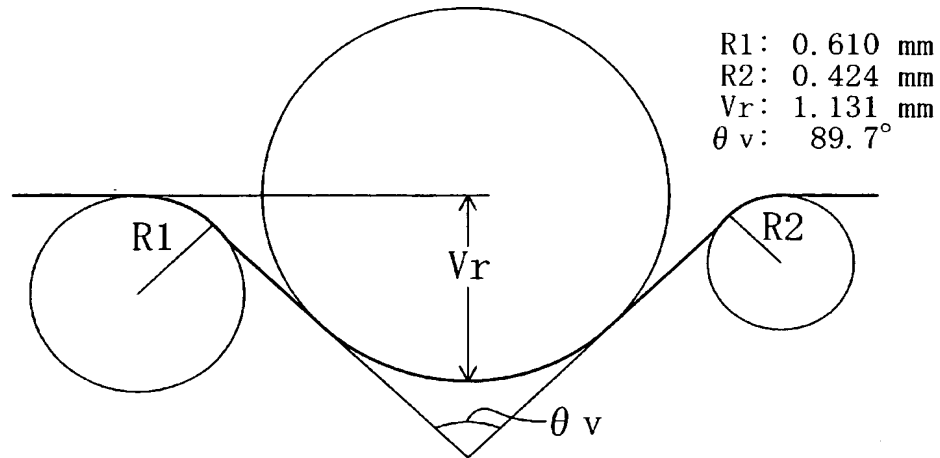
【図 4】



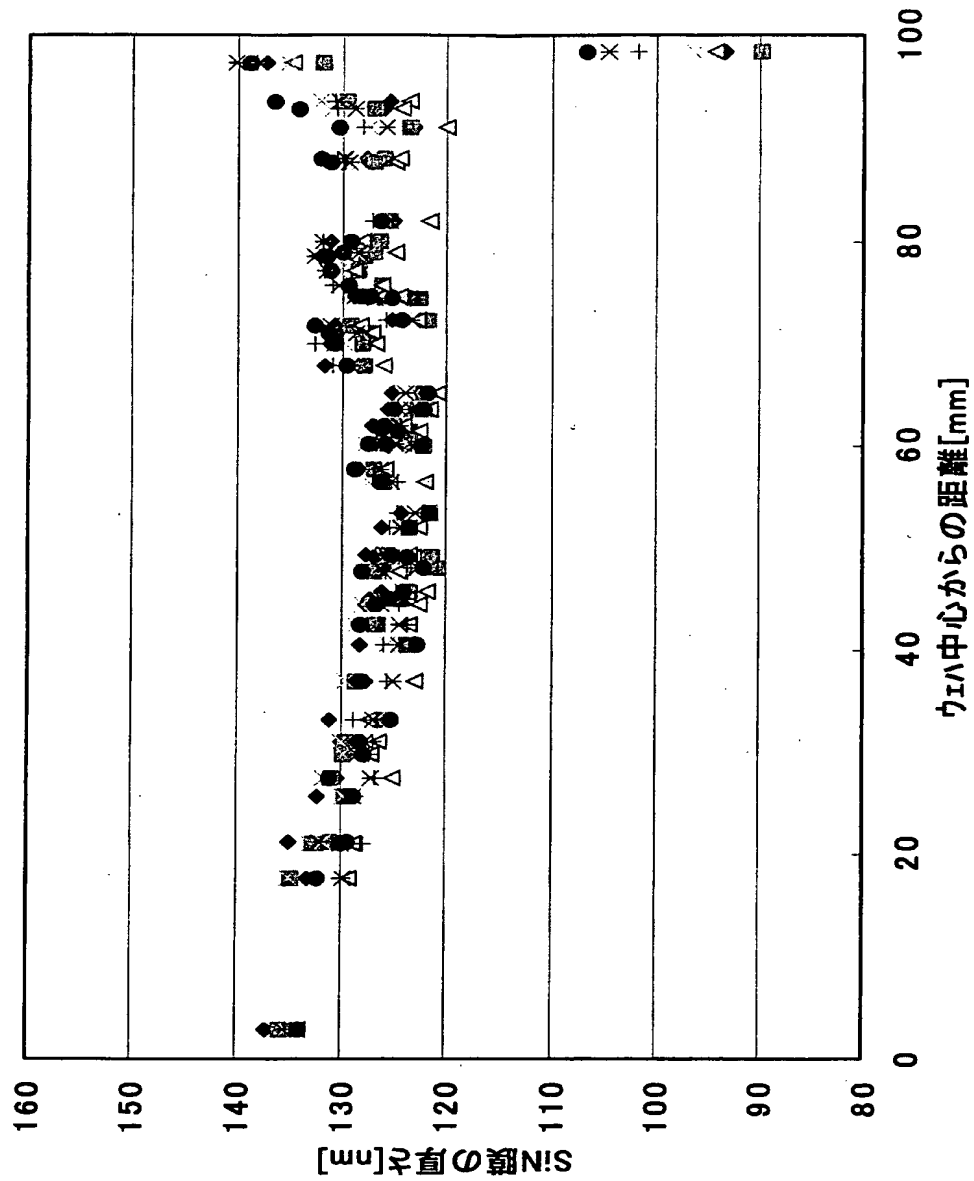
【図 5】



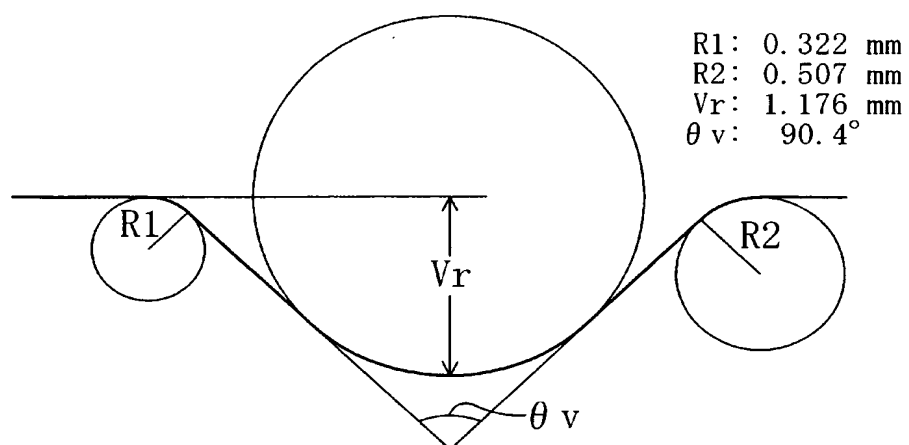
【図 6】



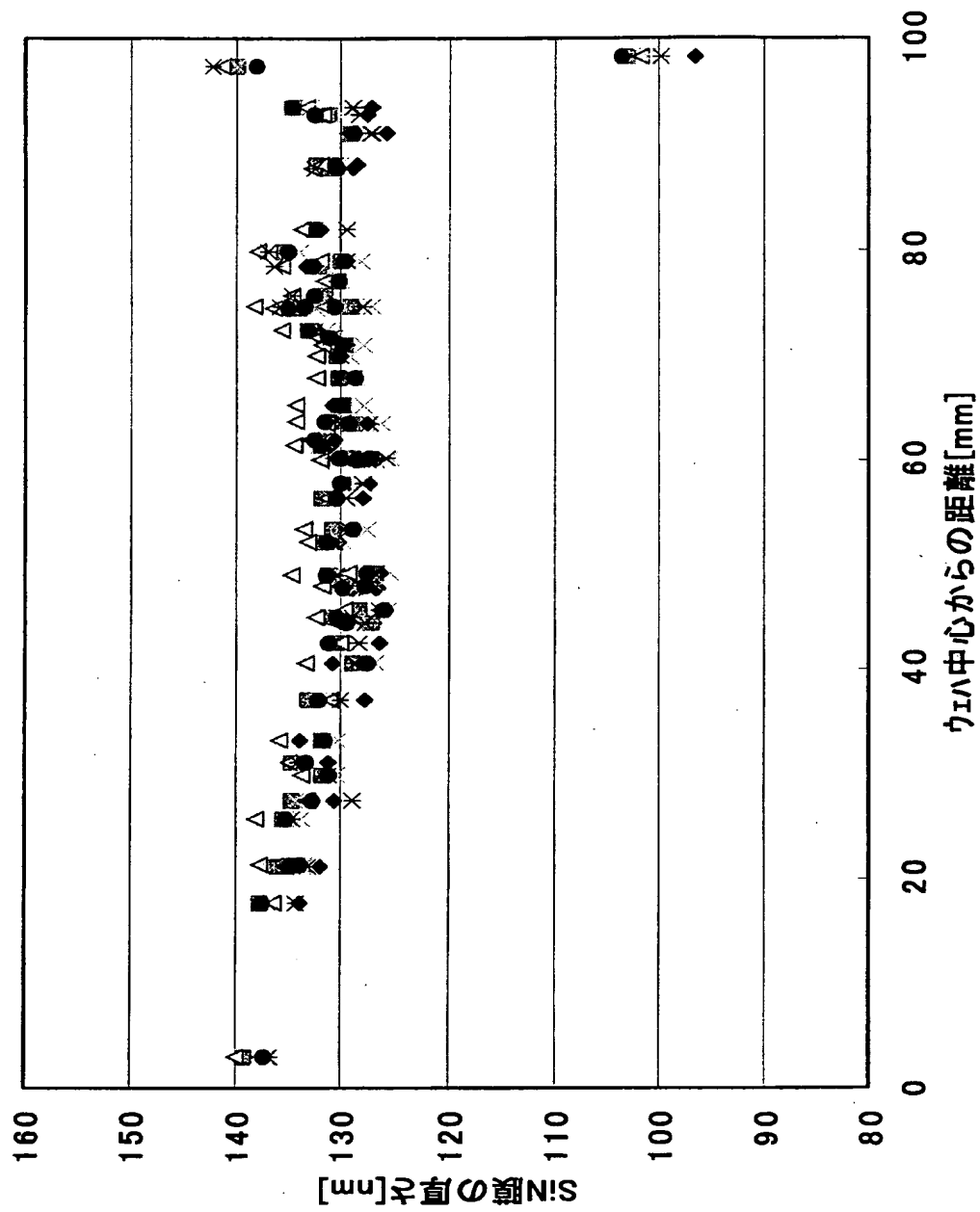
【図 7】



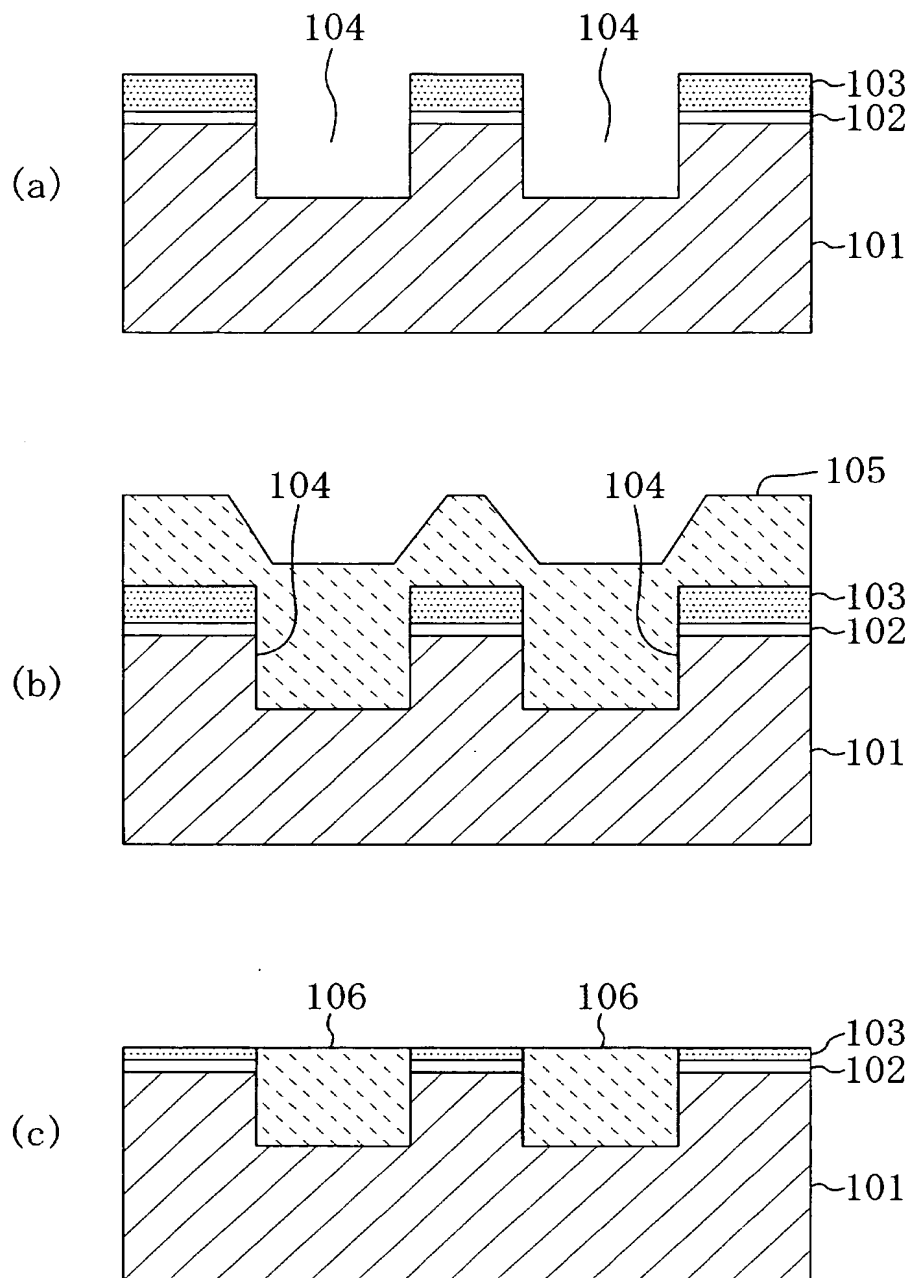
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 CMP後の基板表面の段差を抑制する。

【解決手段】 端部にノッチを有する半導体基板において、ノッチの両肩部の形状はそれぞれ円弧状であると共に両肩部のそれぞれの曲率の差は0 mm以上で且つ0.1 mm以下である。

【選択図】 図2

特願 2 0 0 3 - 0 1 1 0 1 7

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社